

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(11) 63-25715 (A) (43) 3.2.1988 (19) JP

(21) Appl. No. 61-167949 (22) 18.7.1986

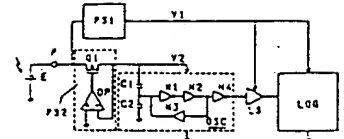
(71) HITACHI MICRO COMPUT ENG LTD(1)

(72) YOSHIHIRO KUWABARA(3)

(51) Int. Cl.⁴ G06F1/04, G06F11/22, G06F15/02, H03L1/00

PURPOSE: To avoid the influence of a parasitic capacity by using the stabilized voltage smaller than the working voltage of an internal logic circuit in terms of the absolute value.

CONSTITUTION: The voltage of negative polarity supplied from a solar battery E through a terminal P is turned into the stabilized voltage V1 by a stabilized power supply circuit PS1 and supplied to an internal logic circuit LOG and a level converting circuit LS as the power supply voltage. At the same time, another stabilized power supply circuit PS2 stabilizes the oscillation frequency of an oscillation circuit OSC consisting of CMOS inverter circuits N1~N3 cascaded in a ring form. Thus, an operational amplifier circuit OP of the circuit PS2 has the input offset voltage and the conductance of a MOSFET Q1 is controlled so that the output voltage V2 is stabilized based on said offset voltage. In such a way, the fluctuation width can be reduced for the oscillation frequency of the circuit OSC.



E4051

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-102830

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 3 K 19/0175
17/16
17/687

H 9184-5 J

6959-5 J

8221-5 J

H 0 3 K 19/ 00

1 0 1 F

17/ 687

F

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号

特願平3-260197

(22)出願日

平成3年(1991)10月8日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式
社神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 田中 喜一

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

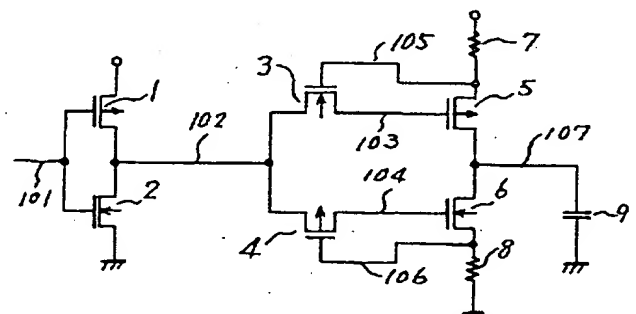
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 バッファ回路

(57)【要約】

【目的】 負荷容量充放電電流を含む出力バッファ回路の過大電流を設定値以下に抑制するバッファ回路を実現する。

【構成】 PチャネルMOSトランジスタ1およびNチャネルMOSトランジスタ2より成るインバータ回路に縦続接続されるバッファ出力回路として、ソースに前記インバータ回路の出力102が入力され、ゲートが抵抗7を介して電源に接続されるNチャネルMOSトランジスタ3と、ソースに前記インバータ回路の出力102が入力され、ゲートが抵抗8を介して接地電位に接続されるPチャネルMOSトランジスタ4と、ソースがNチャネルMOSトランジスタ3のゲートに接続され、ゲートがNチャネルMOSトランジスタ3のドレインに接続されて、ドレインが出力端子に接続されるPチャネルMOSトランジスタ5と、ソースが前記PチャネルMOSトランジスタ4のゲートに接続され、ゲートがPチャネルMOSトランジスタ4のドレインに接続されて、ドレインが前記出力端子に接続されるNチャネルMOSトランジスタ6とを備えて構成される。



1. 4. 5 ... Pチャネル MOS トランジスタ
2. 3. 6 ... Nチャネル MOS トランジスタ
7. 8 ... 抵抗 9 ... 負荷容量

【特許請求の範囲】

【請求項1】 CMOS構成によるバッファ回路において、所定の前段を形成するインバータ回路に縦続接続されるバッファ出力回路として、

ソースに前記インバータ回路の出力が入力され、ゲートが第1の抵抗を介して高電位の電源に接続される第1のNチャネルMOSトランジスタと、

ソースに前記インバータ回路の出力が入力され、ゲートが第2の抵抗を介して低電位の電源に接続される第1のPチャネルMOSトランジスタと、

ソースが前記第1のNチャネルMOSトランジスタのゲートに接続され、ゲートが前記第1のNチャネルMOSトランジスタのドレインに接続されて、ドレインが出力端子に接続される第2のPチャネルMOSトランジスタと、

ソースが前記第1のPチャネルMOSトランジスタのゲートに接続され、ゲートが前記第1のPチャネルMOSトランジスタのドレインに接続されて、ドレインが前記出力端子に接続される第2のNチャネルMOSトランジスタと、

を備えることを特徴とするバッファ回路。

【請求項2】 CMOS構成によるバッファ回路において、所定の前段を形成するインバータ回路に縦続接続されるバッファ出力回路として、

ソースに前記インバータ回路の出力が入力され、ゲートが第1の抵抗を介して高電位の電源に接続される第1のNチャネルMOSトランジスタと、

ソースに前記インバータ回路の出力が入力され、ゲートが第2の抵抗を介して低電位の電源に接続される第1のPチャネルMOSトランジスタと、

ソースが前記第1のNチャネルMOSトランジスタのゲートに接続され、ゲートが第3の抵抗を介して前記第1のNチャネルMOSトランジスタのドレインに接続されて、ドレインが出力端子に接続される第2のPチャネルMOSトランジスタと、

ソースが前記第1のPチャネルMOSトランジスタのゲートに接続され、ゲートが第4の抵抗を介して前記第1のPチャネルMOSトランジスタのドレインに接続されて、ドレインが前記出力端子に接続される第2のNチャネルMOSトランジスタと、

ソースが高電位の電源に接続され、ゲートが前記第2のPチャネルMOSトランジスタのゲートに接続されて、ドレインが前記出力端子に接続される第3のPチャネルMOSトランジスタと、

ソースが低電位の電源に接続され、ゲートが前記第2のNチャネルMOSトランジスタのゲートに接続されて、ドレインが前記出力端子に接続される第3のNチャネルMOSトランジスタと、

を備えることを特徴とするバッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はバッファ回路に関し、特に、CMOS構成によるバッファ回路に関する。

【0002】

【従来の技術】 従来、CMOS構成によるバッファ回路は、図3に一例が示されるように、負荷容量27に対応して、PチャネルMOSトランジスタ23およびNチャネルMOSトランジスタ24により形成されるインバータと、PチャネルMOSトランジスタ25およびNチャネルMOSトランジスタ26により形成されるインバータとにより構成されるインバータ形式による回路が多く用いられており、前段ゲート出力を直接バッファ回路の入力側に接続されているものが多い。

【0003】

【発明が解決しようとする課題】 上述した従来のバッファ回路においては、前段ゲート出力の急峻な立上り・立下り波形が、直接バッファ回路に入力されるために、バッファ出力の波形も立上り・立下りが共に急峻な波形となり、その上、更に負荷容量の充放電により過渡的に極大の電流が流れ、ソースの電源および接地のそれぞれの電位が配線等の電圧降下により浮く状態となり、特性の劣化および誤動作等を惹起するという欠点がある。

【0004】

【課題を解決するための手段】 第1の発明のバッファ回路は、CMOS構成によるバッファ回路において、所定の前段を形成するインバータ回路に縦続接続されるバッファ出力回路として、ソースに前記インバータ回路の出力が入力され、ゲートが第1の抵抗を介して高電位の電源に接続される第1のNチャネルMOSトランジスタと、ソースに前記インバータ回路の出力が入力され、ゲートが第2の抵抗を介して低電位の電源に接続される第1のPチャネルMOSトランジスタと、ソースが前記第1のNチャネルMOSトランジスタのゲートに接続され、ゲートが前記第1のNチャネルMOSトランジスタのドレインに接続されて、ドレインが出力端子に接続される第2のPチャネルMOSトランジスタと、ソースが前記第1のPチャネルMOSトランジスタのゲートに接続され、ゲートが前記第1のPチャネルMOSトランジスタのドレインに接続されて、ドレインが前記出力端子に接続される第2のNチャネルMOSトランジスタと、を備えて構成される。

【0005】 また、第2の発明のバッファ回路は、CMOS構成によるバッファ回路において、所定の前段を形成するインバータ回路に縦続接続されるバッファ出力回路として、ソースに前記インバータ回路の出力が入力され、ゲートが第1の抵抗を介して高電位の電源に接続される第1のNチャネルMOSトランジスタと、ソースに前記インバータ回路の出力が入力され、ゲートが第2の抵抗を介して低電位の電源に接続される第1のPチャネルMOSトランジスタと、ソースが前記第1のNチャネ

ルMOSトランジスタのゲートに接続され、ゲートが第3の抵抗を介して前記第1のNチャネルMOSトランジスタのドレインに接続されて、ドレインが出力端子に接続される第2のPチャネルMOSトランジスタと、ソースが前記第1のPチャネルMOSトランジスタのゲートに接続され、ゲートが第4の抵抗を介して前記第1のPチャネルMOSトランジスタのドレインに接続されて、ドレインが前記出力端子に接続される第2のNチャネルMOSトランジスタと、ソースが高電位の電源に接続され、ゲートが前記第2のPチャネルMOSトランジスタのゲートに接続されて、ドレインが前記出力端子に接続される第3のPチャネルMOSトランジスタと、ソースが低電位の電源に接続され、ゲートが前記第2のNチャネルMOSトランジスタのゲートに接続されて、ドレインが前記出力端子に接続される第3のNチャネルMOSトランジスタと、を備えて構成される。

【0006】

【実施例】次に、本発明について図面を参照して説明する。

【0007】図1は本発明の第1の実施例を示す回路図である。図1に示されるように、本実施例は、負荷容量9に対応して、PチャネルMOSトランジスタ1およびNチャネルMOSトランジスタ2により形成されるインバータ回路と、NチャネルMOSトランジスタ3、PチャネルMOSトランジスタ4、PチャネルMOSトランジスタ5、NチャネルMOSトランジスタ6、抵抗7および8により形成されるインバータ・バッファ回路とを備えて構成される。

【0008】図1において、入力信号101は、PチャネルMOSトランジスタ1およびNチャネルMOSトランジスタ2により形成されるインバータ回路に入力され、信号102として出力され、NチャネルMOSトランジスタ3およびPチャネルMOSトランジスタ4の、それぞれのソースに入力される。このインバータ回路自体は、従来より用いられている回路であるが、本発明の特徴とするところは、上述の構成に成るインバータ・バッファ回路にある。

【0009】インバータ・バッファ回路を形成するPチャネルMOSトランジスタ5のドレインより出力されるバッファ出力信号107を介して行われる負荷容量9に対する充電が終了し、PチャネルMOSトランジスタ5のソースより出力される信号105は電源電圧レベルとなり、NチャネルMOSトランジスタ6のソースにおける信号106が接地電位レベルとなると、NチャネルMOSトランジスタ3とPチャネルMOSトランジスタ4は、共にオン状態となる。前段のインバータ回路から出力される信号102が“1”レベルの場合においては、PチャネルMOSトランジスタ5はオフの状態、NチャネルMOSトランジスタ6はオンの状態となり、バッファ出力信号107は、抵抗8およびNチャネルMOSト

ランジスタ6を介して接地電位までレベルが低下しようとする。しかしながら、抵抗8とNチャネルMOSトランジスタ6を通して電流が流れ、この電流による抵抗8における電圧降下により、PチャネルMOSトランジスタ4のゲート電位が浮き、PチャネルMOSトランジスタ4はオフ状態となる。このために、PチャネルMOSトランジスタ4のドレインはレベル保持状態となり、その直前における電位がそのまま保持されて、この電位レベルにより制限された電流が、NチャネルMOSトランジスタ6と抵抗8に流れる状態となる。

【0010】負荷容量9における放電が完了に近づき放電電流が減少すると、抵抗8における電圧降下が小さくなり、PチャネルMOSトランジスタ4はオン状態に復帰して、PチャネルMOSトランジスタ4のドレインの電位が上昇し、これに対応して、NチャネルMOSトランジスタ6に流れる電流を増加させて、その電流を所定の設定値に保持するように動作する。しかし、負荷において要求される電流がNチャネルMOSトランジスタ6の駆動能力を下回ると、要求以上の電流を流すことができなくなり、やがてバッファ出力信号107は、接地電位レベルに到達して電流は流れなくなる。同様に、抵抗7における電圧降下により、NチャネルMOSトランジスタ3のドレインの電位が制限され、これにより、PチャネルMOSトランジスタ5の駆動能力を制限することにより、PチャネルMOSトランジスタ5に流れる電流を設定値以下に制限することが可能である。

【0011】以上により、負荷容量における充放電による電流と、PチャネルMOSトランジスタ5およびNチャネルMOSトランジスタ6の同時オン状態に起因する貫通電流とを含めて、インバータ・バッファ回路において生じる過大電流を、所定の設定値以下に制限することができる。

【0012】図2は、本発明の第2の実施例を示す回路図である。図2に示されるように、本実施例は、負荷容量22に対応して、PチャネルMOSトランジスタ10およびNチャネルMOSトランジスタ11により形成されるインバータ回路と、NチャネルMOSトランジスタ12、17および21、PチャネルMOSトランジスタ13、16および20、抵抗14、15、18および19により形成されるインバータ・バッファ回路とを備えて構成される。

【0013】本実施例の第1の実施例との相違点は、インバータ・バッファ回路において、抵抗14および15の付加により、NチャネルMOSトランジスタ12およびPチャネルMOSトランジスタ13のドレインの電位の制御範囲を拡大したことと、抵抗18および19に接続されたPチャネルMOSトランジスタ16およびNチャネルMOSトランジスタ17の機能として、抵抗18および19との抵抗分圧比の制御範囲を拡大させることに主眼をおき、また、負荷容量22の駆動用としては、

10

20

30

40

50

PチャネルMOSトランジスタ20とNチャネルMOSトランジスタ21を主体として利用していることである。基本的な動作については、前述の第1の実施例の場合と同様である。

【0014】

【発明の効果】以上説明したように、本発明は、インバータ形式のバッファ回路において、出力バッファ回路におけるMOSトランジスタに流れる電流を設定値以下に制限することにより、ソース電源および接地電位のレベル低下に起因する特性の劣化ならびに誤動作を未然に防止することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す回路図である。

【図2】 本発明の第2の実施例を示す回路図である。

【図3】 従来例を示す回路図である。

【符号の説明】

1、4、5、10、13、16、20、23、25

PチャネルMOSトランジスタ

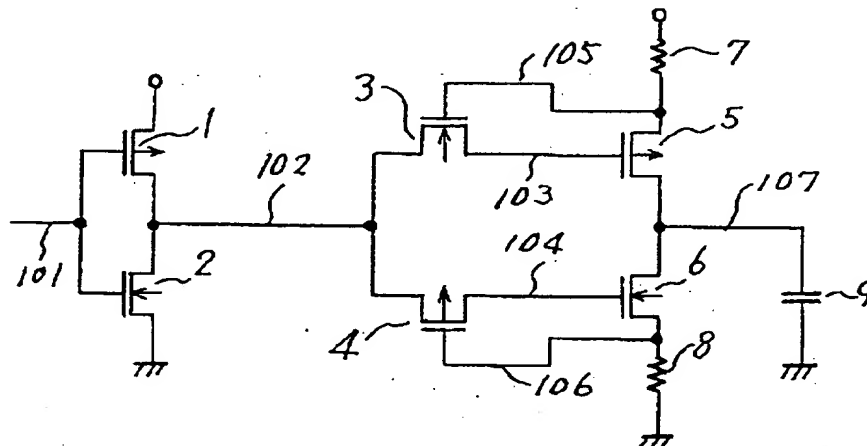
2、3、6、11、12、17、21、24、26

NチャネルMOSトランジスタ

7、8、14、15、18、19 抵抗

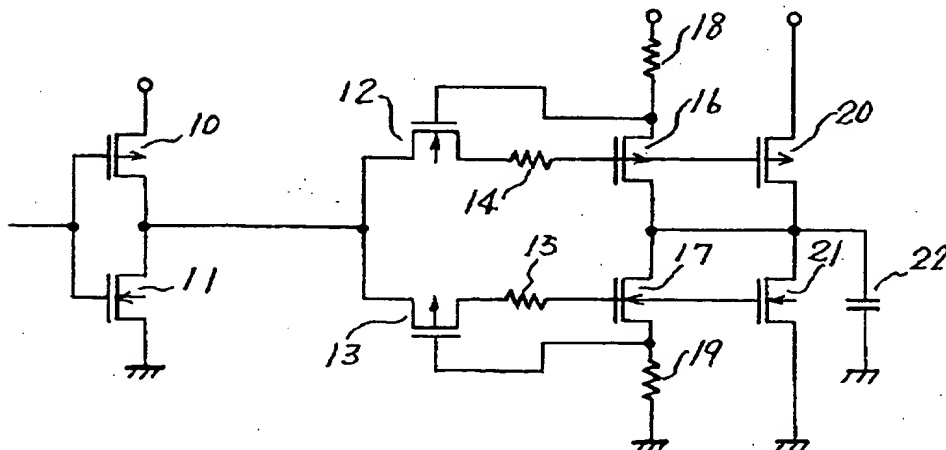
9、22、27 負荷容量

【図1】



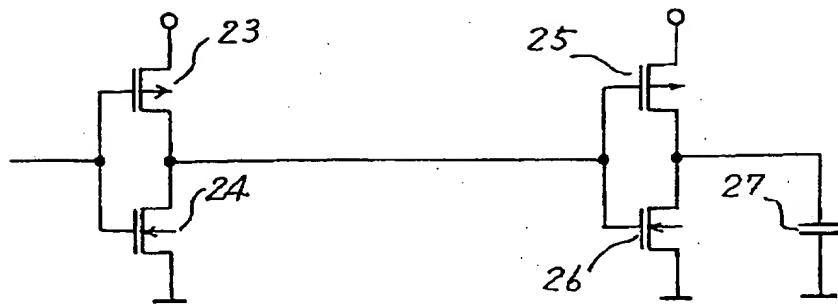
1、4、5 --- Pチャネル MOS トランジスタ
2、3、6 --- Nチャネル MOS トランジスタ
7、8 --- 抵抗 9 --- 負荷容量

【図2】



10、13、16、20 --- Pチャネル MOS トランジスタ
11、12、17、21 --- Nチャネル MOS トランジスタ
14、15、18、19 --- 抵抗
22 --- 負荷容量

【図3】



23, 25 --- PチャネルMOSトランジスタ
24, 26 --- NチャネルMOSトランジスタ
27 --- 負荷容量